

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-61346

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)2月27日

H 01 L 21/331
21/76
29/73

L 9169-4M

7735-4M H 01 L 29/72

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 バイポーラ型半導体集積回路装置の製造方法

⑯ 特 願 平2-173185

⑰ 出 願 平2(1990)6月29日

⑱ 発 明 者 湊 忠 玄 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 早瀬 憲一

明 細 書

1. 発明の名称

バイポーラ型半導体集積回路装置の製造方法

2. 特許請求の範囲

(1) 第1導電型半導体基板の一主面上に、比較的不純物濃度が高い第2導電型高濃度領域、及び比較的不純物濃度が低い第2導電型低濃度領域を順次形成する工程と、その後上記低濃度領域表面から半導体基板に達するトレンチ溝を形成する工程とを含み、バイポーラ型半導体集積回路装置を製造する方法において、

上記トレンチ溝形成後、半導体基板表面にその法線方向に対し所定角度にて第2導電型の不純物イオンを照射して、上記低濃度領域の、トレンチ溝内面に露出する部分にコレクタウェールを形成する工程を含むことを特徴とするバイポーラ型半導体集積回路装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、バイポーラ型半導体集積回路装置

の製造方法に関し、特に素子領域の表面側とその下部のフローティングコレクタ層とを接続するコレクタウェールの形成に関するものである。

(従来の技術)

第2図は従来の技術を説明するための図であり、トレンチ溝により素子間分離を行って素子領域にNPNトランジスタを形成するバイポーラ型半導体集積回路の製造方法を示している。

第2図(a)~(i)はそれぞれ半導体シリコン基板上に素子を形成して行く製造過程における素子の断面構造を模式的に示しており、同図(a)はフローティングコレクタ形成、同図(b)はトレンチ溝分離、同図(c)はトレンチ溝底部のP⁺アイソレーション及び溝埋め平坦化、同図(d)は素子形成部の露出、同図(e)はN⁺コレクタウェール形成、同図(f)はPベース形成、同図(g)はNエミッタ及びポリシリコン配線の形成、同図(h)はベースコンタクト形成、同図(i)は金属配線の形成を示している。

次に製造方法を第2図(a)~(i)を用いて説明する。

まず第2図(a)に示すように、P型のシリコン半

導体基板1の表面に、N型ドーパントとなる原子をイオン注入等の方法で拡散し、NPNトランジスタのフローティングコレクタとなるN⁺埋込み拡散層2を形成する。

次にこのN⁺埋込み拡散層2を埋込むべく、N型のシリコンエピタキシャル層3を該N⁺拡散層2上に成長する。この時点では、フローティングコレクタ領域(N⁺埋込み拡散層)2は基板表面側、つまりエピタキシャル層3の表面領域とは分離されている。

その後第2図(b)に示すように、P型半導体基板1に達する深い溝(トレンチ)7を、RIE(Reactive Ion Etching)法等のアスペクト比が大きくとれる異方性エッチングにより形成する。この際、エッチングしない部分のマスク材としては、この種の異方性エッチング法に適した材質と構造を単一膜で得ることは困難であるので、シリコン熱酸化膜4、ポリシリコンCVD膜5、CVDシリコン酸化膜6等といった数種の膜を積層したものを用いている。また上記トレンチ分離溝7は、

Dシリコン酸化膜6'等で被覆してマスクキングを行い、エッチング処理により素子形成領域のみを露出させる。

次に第2図(e)のように、素子形成領域の表面側から、N型不純物となるような原子をイオン注入や該原子を含むデポジション膜からの拡散等により注入してコレクタウォール拡散領域10'を形成する。このN型コレクタウォール拡散領域10'は、第2図(a)で示す工程で形成した、N⁺型フローティングコレクタ領域2と十分な高濃度なままで接続する必要があるので、上記拡散層10'の形成時には、その厚みをN⁺エピ成長層3の厚み(1~2 μ m)程度にするための熱拡散処理を行っている。

さらに第2図(f)に示すように、P型ベース拡散領域15をイオン注入法等により、N型コレクタウォール拡散領域10'とは別の領域に形成する。

その後第2図(g)のように、P型ベース拡散領域15の一部に、N型不純物原子のイオン注入法等によりN型エミッタ拡散領域16を形成する。さ

この集積回路内に作り込んだ幾種類かの単体素子、例えばNPNトランジスタ、PNPトランジスタ、容量、抵抗等を互いが影響し合うことなく独立して動作させるために必要なものである。

そして第2図(c)に示すように、トレンチ分離溝7の分離機能をより確実なものにするために、該トレンチ分離溝底部に、垂直イオン注入法等の技術を用いて、基板と同じ導電型でしかも高不純物濃度であるP⁺アイソレーション領域となるP型拡散領域11を形成する。

次に、上記分離溝7の内表面での電流リークを抑え、かつ後工程等での熱処理による歪みを抑えるために、CVDシリコン酸化膜12等で溝の埋め込みを行う。またこれと同時に、第2図(b)の工程でトレンチ溝エッチング時のマスク材として用いた多層膜4~6を利用して、エッチバックと呼ばれる平坦化エッチングを行い、第2図(c)のように表面を平坦化する。

続いて第2図(d)のように、トレンチ分離溝7によって分離された素子形成領域以外の部分をCV

さらにこのN型エミッタ拡散領域16及び先に形成したN型コレクタウォール拡散領域15の両方に、高不純物濃度で低抵抗であるN型の不純物を含むポリシリコン配線17a及び17bを形成する。ただし上記配線17a、17bは各々独立に形成しており、短絡はしていない。

さらに第2図(h)のように、P型ベース拡散領域15の一部に、感光性樹脂による写真製版レジストマスク18を通してベース領域コンタクトイオン19の注入を行い、Pベース領域15と金属配線との接触がオーミックコンタクトとなるようにする。

そして最後に第2図(i)のように、コレクタ、エミッタ、ベースの各領域にそれぞれ独立に金属配線20a、20b、20cを形成し、NPNトランジスタを完成する。

(発明が解決しようとする課題)

従来のバイポーラ型半導体集積回路装置の製造方法は以上のように構成されているので、以下のような問題点があった。

つまりコレクタウォール部を第2図(e)のようにN型不純物原子のイオン注入またはデポジション膜からの拡散を利用して形成するので、これによって形成したN⁺領域10'の不純物が下側のN⁺層2に到達するよう熱処理を行わなければならない。

具体的には、

① 上記熱処理は、P型領域がN⁺下面層に到達してしまわないようにするため、P型ベース領域の形成前に行わなければならない、独立の熱処理工程が必要であり、プロセス全体の熱処理工程が長くなってしまう。

② また、①の理由から、拡散層のパターン幅が増大し、パターンの微細化が進めにくくなり、集積度を上げられない。

③ さらに①の理由から、プロセスの初期に形成するN⁺層2やN⁺層3の不純物濃度分布が広がりやすく、N⁺層3の厚みを薄くするのが困難であり、N⁺フローティングコレクタ層2の抵抗値も上りやすくなり、トランジスタ特性の向上が

困難である。

この発明は、上記のような問題点を解消するためになされたもので、プロセスの低温化を図ることができ、これにより素子パターンの微細化及び高集積化やエピタキシャル層の薄膜化を可能とし、また不純物濃度の低下を抑えてフローティングコレクタ等の低抵抗化を可能とし、高速動作に優れた装置を製造することができるバイポーラ型半導体集積回路装置の製造方法を得ることを目的とする。

(課題を解決するための手段)

この発明に係るバイポーラ型半導体集積回路装置の製造方法は、第1導電型半導体基板の上に、第2導電型高濃度領域及び第2導電型低濃度領域を順次形成し、上記低濃度領域表面から半導体基板に達するトレンチ溝を形成した後、半導体基板表面にその法線方向に対し所定角度にて第2導電型となり得る不純物元素をイオン注入して、上記低濃度領域の、トレンチ溝内面に露出する部分にコレクタウォールを形成するようにしたものである。

(作用)

この発明においては、半導体基板の上に素子領域を分離するトレンチ溝を形成した後、基板表面の法線方向に対して所定角度でイオン注入を行って、上記素子領域上部の低濃度領域の、トレンチ溝内面に露出する部分にコレクタウォールを形成するようにしたので、該コレクタウォールによる素子領域表面と素子領域下部のフローティングコレクタ部との接続をほとんど熱処理を加えずに行うことができ、これにより熱拡散によるコレクタウォール部のパターンの拡がりや厚みの増大を最小限にとどめることができ、この結果プロセス低温化及びパターン微細化・高集積化を実現できる。

(実施例)

以下、この発明の一実施例を図について説明する。

第1図(a)~(e)は本発明の一実施例による半導体装置の製造方法を説明するための図であり、第1図(a)~(e)に示す工程は、第2図(a)~(i)の従来のプロセスフローのうち、第2図(b)~(e)に相当する部

分を変更することによって実現できるものである。

第1図において、第2図と同一符号は同一または相当部分を示し、8は半導体基板表面とトレンチ溝7内面の所定部分を被覆するレジストマスクで、これはN型斜め注入イオンビーム9をトレンチ溝7の側面に照射する際のマスクとして用いられるものである。10は該N型斜めイオン注入によりN⁺型エピタキシャル層3の、トレンチ溝7内に露出する部分に形成されたコレクタウォールである。

以下、第1図(a)~(e)に示す工程を順を追って説明する。

第1図(a)は第2図(b)と全く同様トレンチ分離溝を形成する工程であり、またこのトレンチ分離溝を形成するまでの工程も従来の方法と同一である。

上記トレンチ分離溝7を形成した後、第1図(b)に示すように感光性樹脂等の写真製版によりレジストマスク8を基板表面に選択的に形成し、該レジストマスク8によりトレンチ溝7の内側面の一部以外を被覆する。

次に第1図(c)に示すように、基板表面にその法線方向に対して所定の角度 θ をもってP型ドーパントとなる原子を斜めイオン注入し、N⁺型エピタキシャル層3の、トレンチ溝7内に露出する部分にP⁺型コレクタウォール10を形成する。

続いて第1図(d)のように、P型不純物原子のトレンチ分離溝7の底部への垂直イオン注入により、P⁺アイソレーション領域11を形成し、さらに第1図(e)のように、このトレンチ分離溝7をCVDシリコン酸化膜等のトレンチ溝埋込み絶縁物12で埋込み、エッチバックにより平坦化を行う。なお上記第1図(d)、(e)に示す工程は第2図(c)に示す工程に相当する。

ここで、従来技術と異なるのは、トレンチ分離の直後にコレクタウォール形成を行い、その後埋込み平坦化を行っている点である。

このように本実施例では、半導体基板1上にN⁺埋め込み拡散層2及びN⁺型エピタキシャル層3を順次形成した後、トレンチ溝7により素子領域を分離し、さらにトレンチ溝内側面の一部以外を

レジストマスク8で被覆し、斜めイオン注入により上記N⁺埋め込み拡散層2の、トレンチ溝内に露出する部分にコレクタウォール10を形成するようにしたので、該コレクタウォール10による素子領域表面と素子領域下部のフローティングコレクタ部3との接続をほとんど熱処理を加えずに行うことができ、プロセスの低温化を図ることができる。これにより熱拡散によるコレクタウォール部3のパターンの拡がりや厚みの増大を最小限に抑えることができ、パターン微細化・高集積化や不純物濃度の低下防止により高速動作に優れたバイポーラ型半導体集積回路装置を製造することができる。

なお、上記実施例では、レジストマスク8をトレンチ溝内側面の一部を除く基板全面に形成したが、トレンチエッチングマスク材及び平坦化エッチバックマスク材となる多層膜4、5、6は、コレクタウォール形成時にイオン注入されたとしても、機能素子部分とはならないので、第1図(b)の写真製版工程にそれ程厳密なパターン精度や膜厚

を要求するものではなく、レジストパターン8はトレンチ溝7の底部だけ、多層膜4～6上部だけ、あるいはその両方等のように適当に変更してもよい。

また上記実施例では、第1図(a)の工程の後に写真製版工程(第1図(b))を入れているが、第1図(c)の斜めイオン注入工程における角度 θ の制御性を上げるかNPNトランジスタの素子形成パターンレイアウトを適当に変更する等すれば、この第1図(b)の写真製版工程は不要とできる。

さらに、上記説明ではP型基板にNPNトランジスタを形成したものを示したが、基板やトランジスタはこれらに限るものではなく、上記基板はP型でもN型でも良く、トランジスタはNPNでもPNPでもどちらでもよい。

さらにまた、上記実施例では、半導体材料としてシリコンを用いた場合を説明したが、本発明は半導体材料であれば、シリコンに限らず、Ge等の単元素の半導体材料でも、GaAs、InP、CdTe、SiGe、SiC等の化合物半導体で

もよく、またこれらの半導体材料を適当に組合せたものをトランジスタや基板、その他の領域に用いてもよい。

〔発明の効果〕

以上のように、この発明に係る半導体装置の製造方法によれば、コレクタウォール部をトレンチ溝内面側からのイオン注入により形成するようにしたので、熱拡散工程が不要となり、製造工程の低温化が可能になるとともに微細化が可能になり、集積度及び性能をともに向上できる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例による半導体装置の製造方法を説明するための工程断面図、第2図(a)～(i)は従来方法を説明するための工程断面図である。

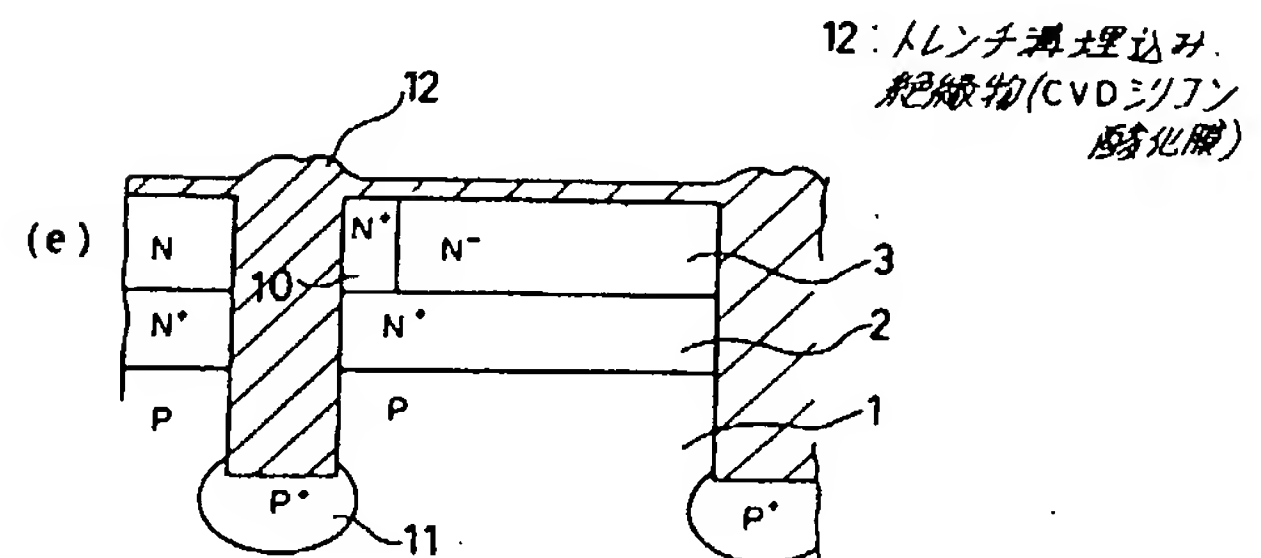
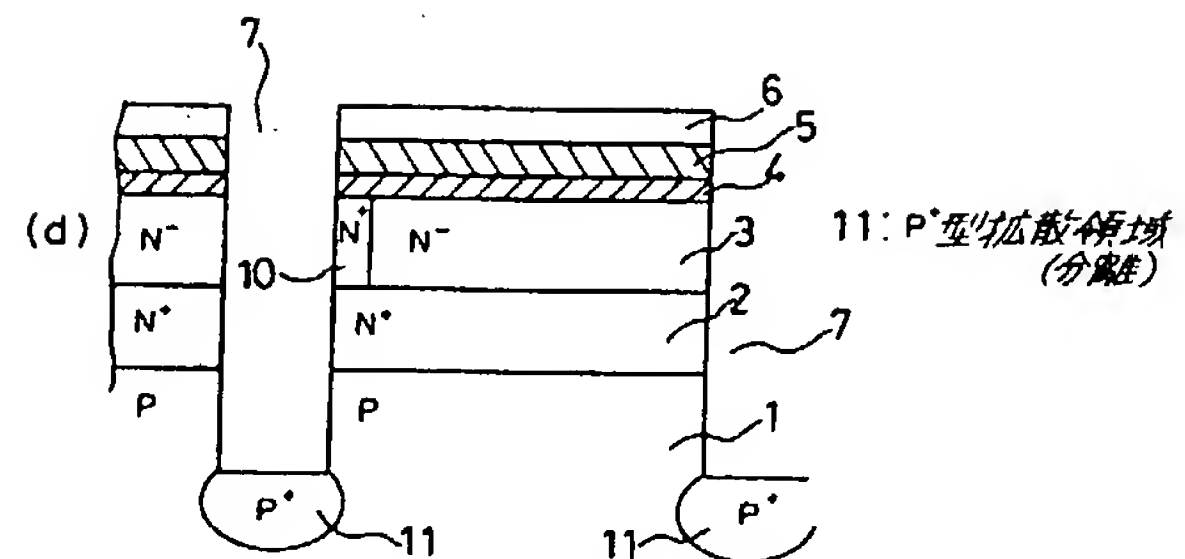
図中、1はP型シリコン基板、2はN⁺型埋込型拡散層(フローティングコレクタ)、3はN⁺型エピタキシャル層、4はシリコン熱酸化膜、5はポリシリコン膜、6はCVDシリコン酸化膜層、7はトレンチ分離溝、8はレジストマスク、9は

N型斜め注入イオンビーム、10はN⁺型拡散領域(コレクタウォール)、 θ はイオン注入角度、11はP⁺型拡散領域、12はトレンチ溝埋込み絶縁物(CVDシリコン酸化膜)、15はP型ベース(注入)拡散領域、16はN型エミッタ(注入)拡散領域、17aはコレクタ領域のポリシリコン配線、17bはエミッタ領域のポリシリコン配線、18は写真製版レジスト、19はベース領域コンタクトイオン、20aはコレクタ領域金属配線、20bはエミッタ領域金属配線、20cはベース領域金属配線である。

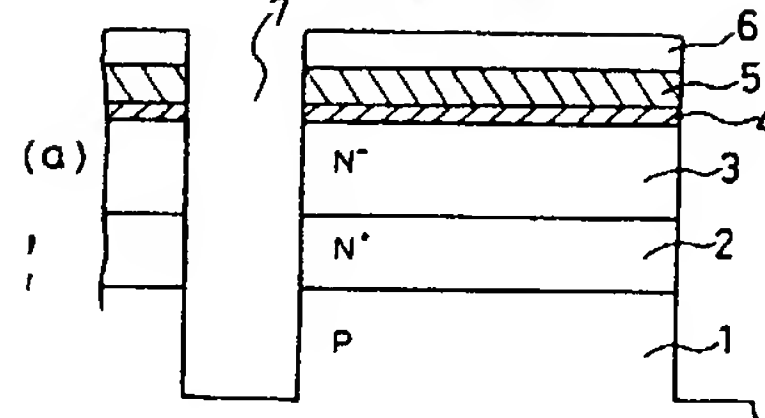
なお図中同一符号は同一又は相当部分を示す。

代理人 早瀬 憲一

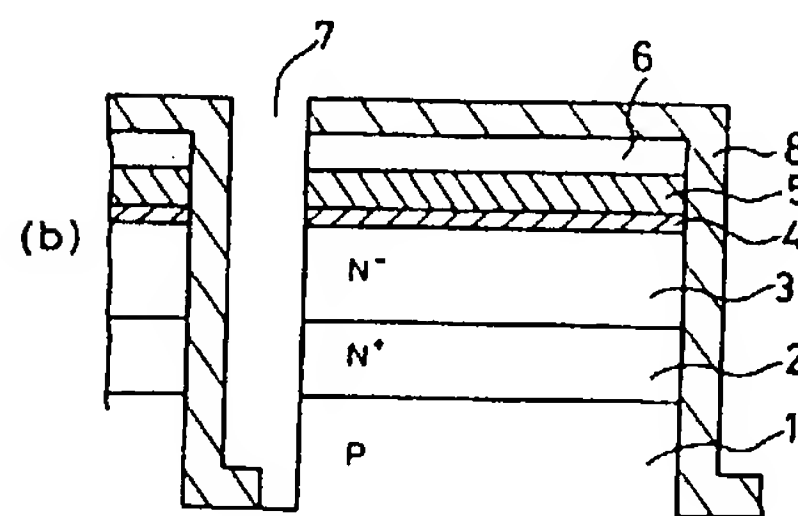
第1図



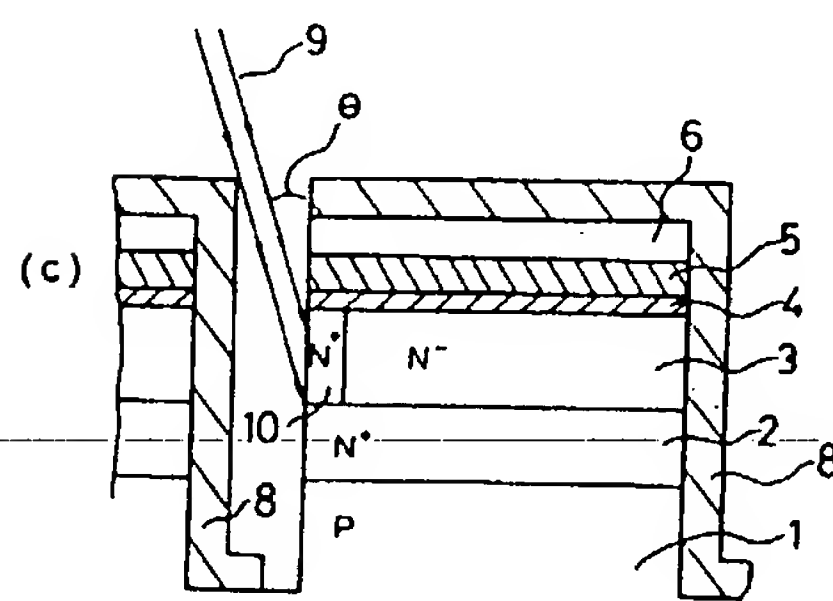
第1図



- 1: P型シリコン基板
- 2: N⁺型埋込型拡散層
- 3: N⁻型エピタキシャル層
- 4: シリコン熱酸化膜
- 5: ポリシリコン膜
- 6: CVDシリコン酸化膜層
- 7: トレンチ分離溝

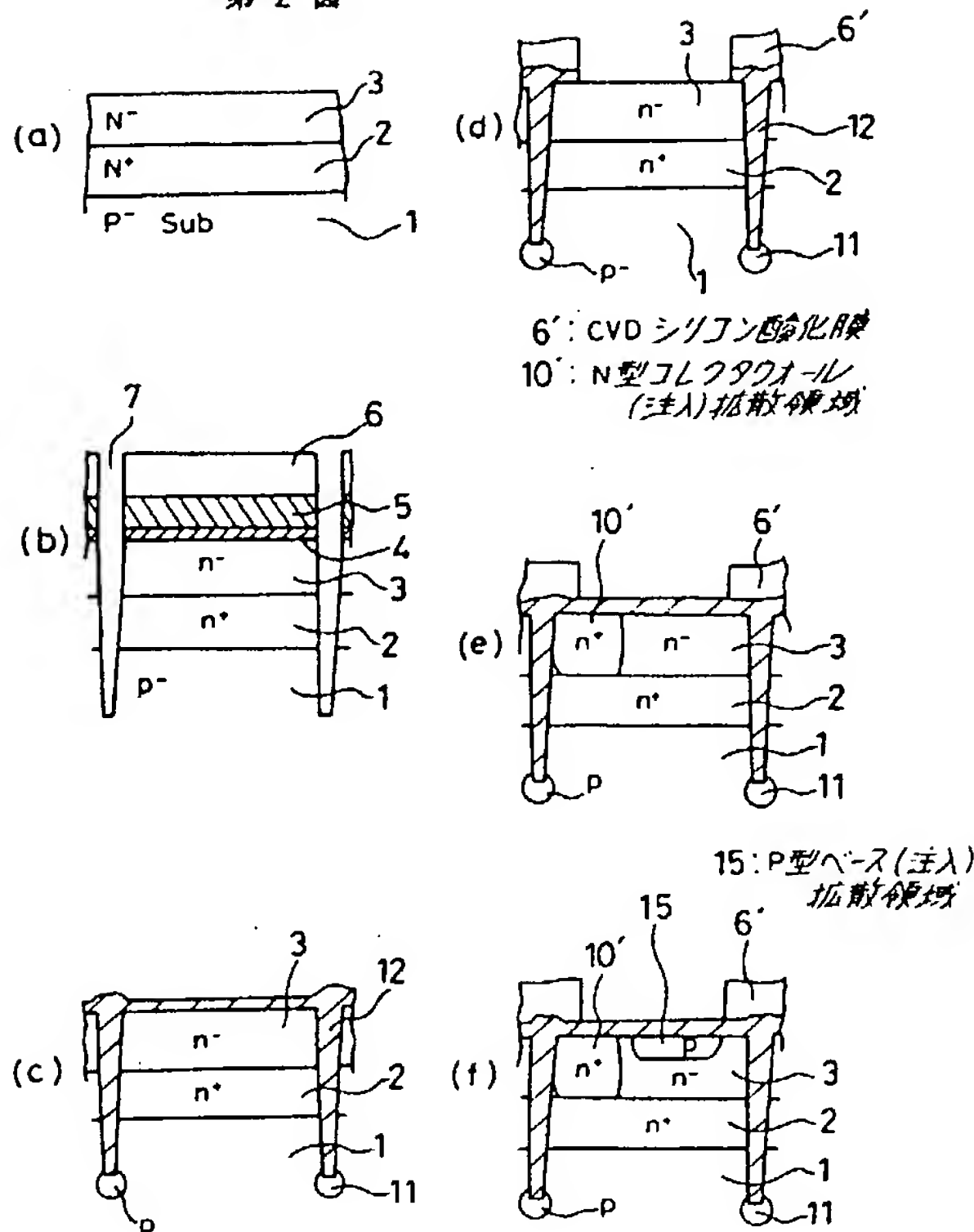


- 8: レジストマスク

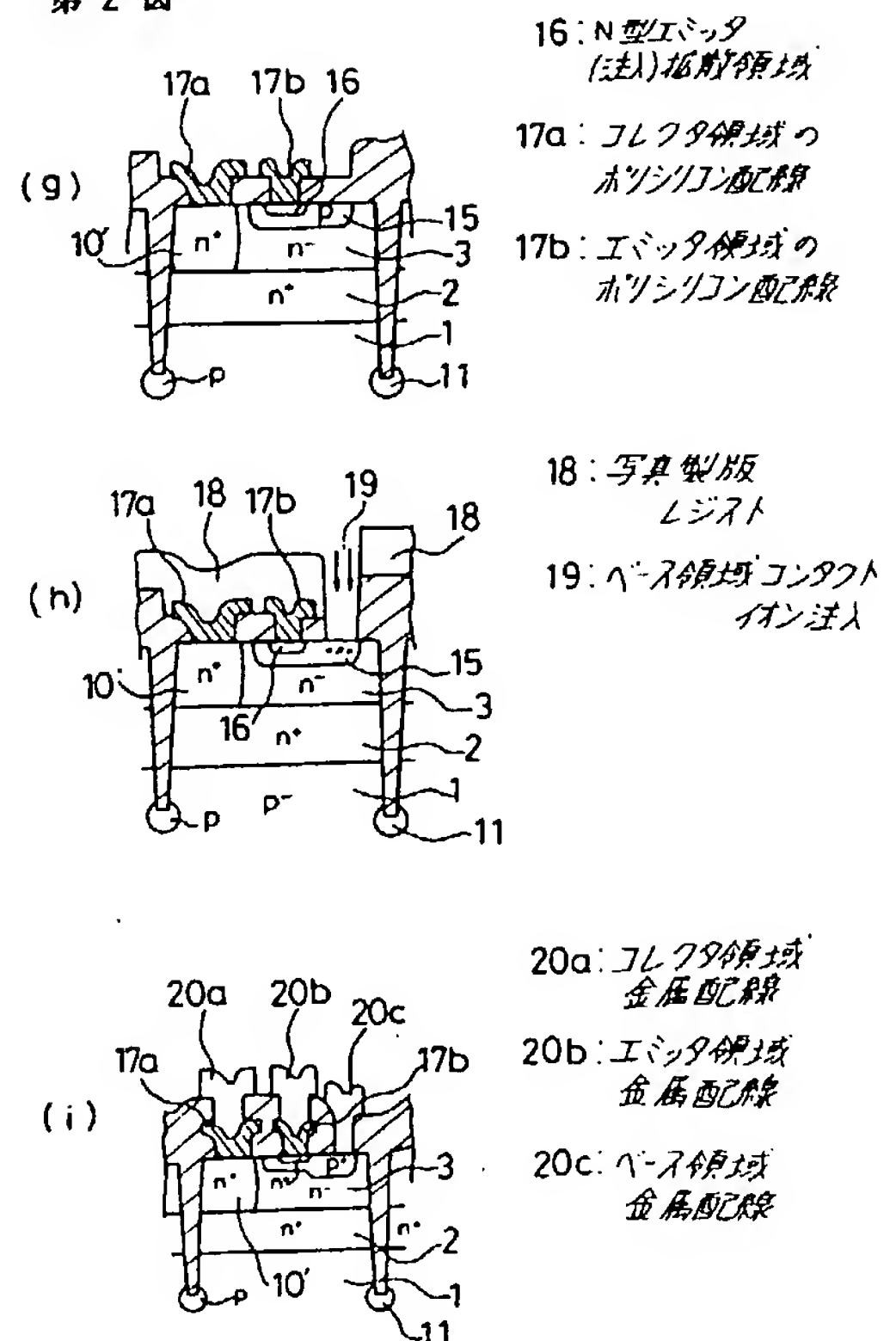


- 9: N型斜め注入イオンビーム
- 10: N⁺型拡散領域(コレクタウォール)
- θ : イオン注入角度

第 2 図



第 2 図



手続補正書 (自発)



平成 3 年 5 月 20 日

特 許 庁 長 官 殿

1. 事件の表示

特願平 2 - 1 7 3 1 8 5 号

2. 発明の名称

バイポーラ型半導体集積回路装置
の製造方法

3. 補正をする者

事件との関係 特許出願人

住 所 東京都千代田区丸の内二丁目 2 番 3 号

名 称 (601) 三菱電機株式会社

代表者 志 岐 守 哉

4. 代理人

郵便番号 564

住 所 大阪府吹田市江坂町 1 丁目 23 番 43 号

ファサード江坂ビル 7 階

特許庁 (8181) 弁理士 早 瀬 憲

3. 5. 23

電話 06-380-5822

5. 補正の対象

明細書の特許請求の範囲の欄、発明の詳細な説明の欄、及び図面の簡単な説明の欄

6. 補正の内容

(1) 明細書の特許請求の範囲を別紙の通り訂正する。

(2) 明細書第 5 頁第 10 行の「十分な」を「十分に」に訂正する。

(3) 同第 6 頁第 9 行～第 10 行の「ベース領域コンタクトイオン 19 の注入」を「ベースコンタクト領域へのイオン注入 19」に訂正する。

(4) 同第 11 頁第 2 行の「P 型」を「N 型」に訂正する。

(5) 同第 11 頁第 5 行の「P 型」を「N 型」に訂正する。

(6) 同第 15 頁第 8 行～第 9 行の「ベース領域コンタクトイオン」を「ベース領域コンタクトイオン注入」に訂正する。

以 上

特許請求の範囲

(1) 第1導電型半導体基板の一主面上に、比較的不純物濃度が高い第2導電型高濃度領域、及び比較的不純物濃度が低い第2導電型低濃度領域を順次形成する工程と、その後上記低濃度領域表面から半導体基板に達するトレンチ溝を形成する工程とを含み、バイポーラ型半導体集積回路装置を製造する方法において、

上記トレンチ溝形成後、半導体基板表面にその法線方向に対し所定角度にて第2導電型の不純物イオンを照射して、上記低濃度領域の、トレンチ溝内面に露出する部分に第2導電型領域を形成する工程を含むことを特徴とするバイポーラ型半導体集積回路装置の製造方法。